

02/08/00  
1551 U.S. PTO

02-10-00

A

HAVERSTOCK & OWENS LLP  
260 Sheridan Avenue, Suite 420  
Palo Alto, California 94306  
(650) 833-0160

NEW PATENT APPLICATION  
Assistant Commissioner for Patents  
Washington, D.C. 20231

Attorney Docket No.: NICHIA-00800

NEW APPLICATION TRANSMITTAL

Sir:

Transmitted herewith for filing is the patent application of Inventor: Shinichi Nagahama et al.

Title: NITRIDE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

CERTIFICATION UNDER 37 CFR § 1.10

I hereby certify that this New Application and the documents referred to as enclosed herein are being deposited with the United States Postal Service on this date, February 8, 2000, in an envelope bearing "Express Mail Post Office To Addressee" Mailing Label Number EL454481023US addressed to: PATENT APPLICATION, Assistant Commissioner for Patents, Washington, D.C. 20231.

Carleen O'Brien  
(Name of Person Mailing Paper)

Carleen O'Brien  
Signature

Enclosed are:

1. The papers required for filing date under CFR § 1.53(b):

18 Pages of Specification (including claims); 4 Sheet(s) of Drawings.  
X Formal  
- Informal  
X Declaration or Oath  
X Power of Attorney by Assignee  
X Assignment of the Invention to Nichia Corporation (including Form PTO-1595).

Fee Calculation

- Amendment changing number of claims or deleting multiple dependencies is enclosed.

CLAIMS AS FILED

	Number Filed	Number Extra	Rate	Basic Fee
				\$690.00
Total Claims	8 - 20 =	0	\$18.00	0.00
Independent Claims	1 - 3 =	0	\$78.00	0.00
Multiple Dependent claim(s), if any			\$260.00	
Filing Fee Calculation				\$690.00

6. Other Fees

X Assignment Recordation Fee 40.00  
- Other 0.00

**TOTAL FEES ENCLOSED \$730.00**

7. Payment of Fees

X Check in the amount of \$730.00 (\$690.00 Basic Filing Fee plus \$40.00 Assignment Recordation Fee) enclosed.

8. X Authorization to Charge Additional Fees

The Commissioner is hereby authorized to charge any additional fees (or credit any overpayment) associated with this communication and which may be required under 37 CFR § 1.16 or § 1.17 to Account No. 08-1275. An originally executed duplicate of this transmittal is enclosed for this purpose.

9. X Return Receipt Postcard

Dated: February 8, 2000

By: Thomas B. Haverstock  
Name: Thomas B. Haverstock  
Registration No.: 32,571

1551 U.S. PTO  
09/500288  
02/08/00

## 技術分野

10

近年、窒化物半導体からなる青色発光ダイオードが実用化されており、更に、GaN基板を用いることにより窒化物半導体からなる青色レーザダイオードの実用化も可能になってきている。

20

## 発明の開示

1万時間以上連続発振可能な窒化物半導体レーザ素子は実用に耐えるものであるが、一部の用途においてはさらなる寿命の延長が望まれている。そこで、前述の方法により得た窒化物半導体レーザ素子を詳細に調べた結果、GaN基板上に

成長された窒化物半導体層、特にGaN基板のすぐ上に形成されるn型GaNコンタクト層内に非常に微細なクラックが発生し易いことが見いだされた。この微細なクラックは、一般的な光学顕微鏡では観察することができないが、蛍光顕微鏡によって観察することができる。GaN基板の上に同一組成のGaN層を形成しているにも関わらず、GaN層に微細なクラックが発生し易いことは驚くべき事実である。こうした微細なクラックの発生は、横方向成長を利用して製造したGaN基板に特有の現象である可能性もあるが、厚膜のGaN層に薄膜のGaNを成長させることにより発生する問題であってGaN基板を用いた時に一般的に生じる問題とも考えられる。この微細なクラックは、レーザ素子のしきい値の上昇や寿命特性の低下につながっていると予想される。また、GaN基板を用いてレーザ素子以外の窒化物半導体素子を構成する場合においても、微細なクラックの発生は信頼性向上の妨げとなる。

そこで、本発明は、GaN基板を用いた窒化物半導体素子において、窒化物半導体素子層に発生する非常に微細なクラックを抑制することによりGaN基板を用いた窒化物半導体素子の寿命特性を高め、もって信頼性を高めることを目的とする。

上記目的を達成するために、本発明の窒化物半導体素子は、GaN基板上に成長した素子形成層（窒化物半導体層）のうち、GaN基板に直接接する層に圧縮歪みをかけることにより、非常に微細なクラックの発生を抑制することを特徴とするものである。

圧縮歪は、GaN基板に直接接する素子形成層の熱膨張係数をGaNよりも小さくすることにより加えることができる。

熱膨張係数がGaNよりも小さな素子形成層には、 $Al_aGa_{1-a}N$  ( $0 < a \leq 1$ ) を用いることが好ましい。 $Al_aGa_{1-a}N$ の熱膨張係数の値はGaN基板に比べて若干小さく、また、GaN基板上に良好な結晶として成長させることができるからである。

また、GaN基板の上に形成するデバイス構造は、Alを含有するn型クラッド層、InGaNを含む活性層、及びAlを含有するp型クラッド層を有することが好ましい。これにより、微細なクラックの発生を防止することと相乗的に作

5

10

15

(d) 前記Ga<sub>2</sub>N基板の上にGa<sub>2</sub>Nよりも熱膨張係数の小さな第2の窒化物半導体層を成長する工程を備えたことを特徴とする。

20

25

本発明によれば、GaN基板に接する素子形成層の熱膨張係数をGaNよりも小さくすることにより、素子形成層に圧縮歪みを与えて微細なクラックの発生を抑制することができる。このことは、次のようにして説明することができる。例えば、Si、GaN、サファイアの熱膨張係数を各々、 $\epsilon_1$ 、 $\epsilon_2$ 、 $\epsilon_3$ とすると、 $\epsilon_1 < \epsilon_2 < \epsilon_3$ の大小関係がある。SiC基板上にGaNを成長させた場合、GaNにクラックが発生し易いが、熱膨張係数 $\epsilon_1 < \epsilon_2$ となるためSiC基板上に成長させたGaNには面内方向に引っ張り歪みがかかっている。一方、サファイア基板にGaNを成長させた場合、GaNにクラックが発生しにくい、熱膨張係

数 $\epsilon_2 < \epsilon_3$ となるためサファイア基板上に成長させたGaNには面内方向に圧縮歪みがかかっている。つまり、クラックの発生し易さはその層にかかる歪みが引張り歪みであるか圧縮歪みであるかに依存している。基板上に成長させる層の熱膨張係数を基板よりも小さくすることにより、その層に圧縮歪をかけてクラックを抑制することができる。

尚、GaN基板上にGaNを成長させる場合には、成長させたGaNに引張り歪みも圧縮歪みもかかっていないはずであるが、成長させたGaNには微細なクラックが発生する傾向がある。

このことから、GaN基板上に成長させる窒化物半導体層の熱膨張係数が、GaNの熱膨張係数と同等以上であると成長させた層内部に微細なクラックが発生し、窒化物半導体層の熱膨張係数を基板よりも小さくしてわずかに圧縮歪みをかければクラックの発生が防止できると推定される。

本発明においてGaN基板とは、転位密度の低い単結晶GaN層から成る表面を有する基板を指し、単体のGaN単結晶層からなる基板であっても、サファイアやSiC等の窒化物半導体と異なる材料から成る異種基板の上に転移密度の低いGaN単結晶層が成長された基板であっても良い。

また、GaN基板の製造には、素子を形成可能な程度に転位密度の低い単結晶GaNを成長させることができる方法であれば種々の方法を用いることができるが、GaN単結晶層を横方向成長過程を経て成長させる方法を用いることが好ましい。横方向成長過程を経ることによりGaN単結晶中への転位の進行が抑制され、低転位密度のGaN基板とすることができる。ここで横方向成長過程には、GaN単結晶が基板垂直方向だけでなく基板平行方向にも成長することにより、基板垂直方向への結晶転位の進行が抑制されるような全ての過程が含まれる。

横方向成長過程を経てGaN単結晶層を成長させる方法には、例えば、前述のJ. J. A. P. に記載されているようなSiO<sub>2</sub>を用いてGaNの横方向の成長を起こす方法の他に、USP09/202, 141、特開平11-312825号、同11-340508号公報、特願平11-37827、同11-37826、同11-168079、同11-218122各号の明細書等に提案しているELOG成長法を用いることができる。

5

10

15

20

25

一方、異種基板と窒化物半導体とからなるGaN基板を用いれば、ウェハの割れや欠けが防止できハンドリング性の点で利点がある。さらに、異種基板を除去

する工程が不要となるので製造時間の短縮化等の点でも利点がある。尚、異種基板と窒化物半導体からなるGaN基板の場合であっても、異種基板に導電性がある場合は異種基板の裏面にn電極を形成することができる。

- 5       また、GaN基板上にGaNより熱膨張係数の小さい窒化物半導体を成長させる前に、GaN基板の表面をエッチングしてもよい。GaN基板は作製される過程で表面に凹凸ができる場合があるので、エッチングして表面を平坦にしてから窒化物半導体を成長させることが微細なクラックを防止する点で好ましい。

#### 図面の簡単な説明

- 10       Fig. 1は、GaN基板の製造工程を示す模式的断面図である。  
      Fig. 2は、GaN基板のFig. 1に続く製造工程を示す模式的断面図である。  
      Fig. 3は、GaN基板のFig. 2に続く製造工程を示す模式的断面図である。  
15       Fig. 4は、GaN基板のFig. 3に続く製造工程を示す模式的断面図である。  
      Fig. 5は、本発明の一実施の形態である窒化物半導体レーザ素子を示す模式的断面図である。  
      Fig. 6A～Fは、リッジ形状のストライプを形成する工程を示す部分断面図である。  
20

#### 発明を実施するための最良の形態

- Fig. 5は、本発明に係る窒化物半導体素子の一例を示す断面図である。GaN基板30の上に、半導体レーザを構成するための窒化物半導体から成る素子形成層1～10が積層されている。GaN基板30に接する素子形成層1の熱膨張係数はGaNよりも小さく設定され、素子形成層1に圧縮応力が加わって微細なクラックの発生が抑制されるようになっている。

      GaN基板30に接する素子形成層1は、GaNより熱膨張係数の小さい材料であればいずれの窒化物半導体でも良いが、さらに、結晶性を損なわないような

5

10

15

20

25

Fig. 5に示す窒化物半導体素子においては、GaN基板30に接する素子



形成層 1 をアンドープの  $n$  型  $Al_{1-x}Ga_xN$  コンタクト層 1 とし、その上に  $n$  型  $Al_{1-x}Ga_xN$  コンタクト層 2 を形成している。このようにアンドープの  $n$  型  $Al_{1-x}Ga_xN$  層 1 の上に不純物ドープした  $n$  型  $Al_{1-x}Ga_xN$  を成長させると、微細なクラックの防止及び結晶性の点で好ましい。この場合のアンドープの  $n$  型  $Al_{1-x}Ga_xN$  コンタクト層 1 は、バッファ層のような作用を兼ね備えている。アンドープ  $n$  型  $Al_{1-x}Ga_xN$  層の膜厚は、好ましくは数  $\mu m$  である。

尚、 $GaN$  基板に接する素子形成層 1 の上に  $n$  型電極 21 を直接形成する場合には、 $n$  型不純物（好ましくは  $Si$ ）をドープされた窒化物半導体層を  $GaN$  基板 30 上に成長させる。 $n$  型不純物のドープ量としては、好ましくは  $1 \times 10^{18} / cm^3 \sim 5 \times 10^{18} / cm^3$  である。素子形成層 1 を単独で  $n$  型コンタクト層とする場合の膜厚としては、好ましくは  $1 \sim 10 \mu m$  である。この範囲であると、微細なクラックを防止し、 $n$  型コンタクト層としての機能を発揮でき好ましい。

$GaN$  基板 30 は、窒化物半導体のみから成る基板であっても、異種基板と窒化物半導体から成る基板であっても良いが、その  $GaN$  単結晶層が横方向成長過程を経て成長されたものであることが好ましい。横方向成長を用いて製造された  $GaN$  基板 30 を用いることにより、素子形成層 1～10 における転位の発生を抑制して素子の諸特性を良好にすることができる。

$GaN$  基板 30 は、例えば、次のようにして製造されたものであることが好ましい。まず、Fig. 1 に示すように、窒化物半導体と異なる材料から成る異種基板 11 の上に、適当なバッファ層を介して  $GaN$  層又は  $AlGa$  層等の窒化物半導体層 12 を形成する。異種基板としては、例えば、サファイア、 $SiC$ 、スピネルなどを用いることができる。次に、Fig. 2 に示すように、この窒化物半導体層 12 に、その上に成長させる  $GaN$  単結晶が横方向にも成長するように周期的なストライプ状又は島状の凹凸を形成する。このストライプ状又は島状の凹凸は、Fig. 2 に示すように窒化物半導体層 12 を残すように形成しても良いが、さらに窒化物半導体層 12 を貫通して異種基板 11 の一部を除去するように形成しても良い。異種基板 11 の一部を除去する深さに凹凸を形成することにより、凸部から横方向成長する  $GaN$  単結晶が接合する部分における結晶の歪を緩和してより良好な単結晶  $GaN$  を得ることができる。また、窒化物半導体層

5 窒化物半導体のみからなるGaN基板とする場合には、GaN単結晶をHVPE成長法等の成長方法によって厚膜に成長し、その後にはサファイア等の異種基板11を除去すれば良い。

10

15

20

25

5 尚、横方向成長させたGaN基板30から異種基板11を除去した場合、GaN単体にやや反りが入る傾向がある。このことは、異種基板の除去面と成長面との表面の物理的性質が異なることを示している。本発明の課題として説明した微細なクラックは、このような表面の物理的な相違により発生している可能性もある。しかし、原因がいずれにあるにせよ、GaN基板上に熱膨張係数の小さな層、例えばAl<sub>0.1</sub>Ga<sub>0.9</sub>N層を成長させることにより、微細なクラックの発生を防止でき、結晶性の良好なデバイス構造を形成することができる。

15 素子が、Alを含むn型クラッド層、InGa<sub>1-x</sub>Nを含む活性層、及びAlを含むp型クラッド層を含む発光素子であることが好ましい。この素子構造を採用することにより、Ga<sub>1-x</sub>N基板に接する素子形成層の熱膨張係数をGa<sub>1-x</sub>Nよりも小さくすることと相乗的に作用して、信頼性の高い窒化物半導体発光素子を得ることができる。素子形成層となる窒化物半導体の成長には、MOVPE（有機金属気相成長法）MOCVD（有機金属化学気相成長法）、HVPE（ハライド気相成長法）、MBE（分子線気相成長法）等、窒化物半導体を成長させるのに知られている全ての方法を適用できる。

20

### [实施例 1]

25 実施例1として、F i g . 5に示される窒化物半導体レーザ素子を製造した。  
(G a N基板の製造方法)

Fig. 1～Fig. 4に示されている各工程に沿ってGa<sub>2</sub>N基板を製造した。

2インチφ、C面を主面とし、オリフラ面をA面とするサファイア基板11を反応容器内にセットし、温度を510℃にして、キャリアガスに水素、原料ガス

にアンモニアとTMG（トリメチルガリウム）とを用い、サファイア基板11上にGa<sub>0.95</sub>Nよりなるバッファ層（図示されていない）を約200オングストロームの膜厚で成長させた。

5 バッファ層を成長後、TMGのみ止めて、温度を1050℃まで上昇させた。1050℃になったら、原料ガスにTMG、アンモニアを用い、アンドープのGa<sub>0.95</sub>Nよりなる第1の窒化物半導体層12を2μmの膜厚で成長させた（Fig. 1）。

10 第1の窒化物半導体層12を成長後、ストライプ状のフォトマスクを形成し、スパッタ装置によりストライプ幅（凸部の上部になる部）5μm、ストライプ間隔（凹部底部となる部分）15μmにパターンニングされたSiO<sub>2</sub>膜を形成し、続いて、RIE装置によりSiO<sub>2</sub>膜の形成されていない部分の第1の窒化物半導体層12を第1の窒化物半導体12が残る程度に途中までエッチングして凹凸を形成することにより、凹部側面に第1の窒化物半導体12を露出させた（Fig. 2）。Fig. 2のように凹凸を形成した後、凸部上部のSiO<sub>2</sub>を除去した。なお、ストライプ方向は、オリフラ面に対して垂直な方向で形成した。

次に、反応容器内にセットし、温度を1050℃で、原料ガスにTMG、アンモニアを用い、アンドープのGa<sub>0.95</sub>Nよりなる第2の窒化物半導体層13を約320μmの膜厚で成長させた（Fig. 3及びFig. 4）。

20 第2の窒化物半導体層13を成長後、ウェーハを反応容器から取り出し、アンドープのGa<sub>0.95</sub>NよりなるGa<sub>0.95</sub>N基板30を得た。この得られたGa<sub>0.95</sub>N基板30からサファイア基板を除去し、除去した面とは反対の成長面上に、Fig. 5に示されるように、下記のデバイス構造を成長させた。Ga<sub>0.95</sub>Nからなる基板30の膜厚は約300μmであった。

（アンドープn型コンタクト層1：本発明のAl<sub>0.05</sub>Ga<sub>0.95</sub>N）

25 Ga<sub>0.95</sub>N基板30上に、1050℃で原料ガスにTMA（トリメチルアルミニウム）、TMG、アンモニアガスをを用いアンドープのAl<sub>0.05</sub>Ga<sub>0.95</sub>Nよりなるアンドープn型コンタクト層1を1μmの膜厚で成長させた。

（n型コンタクト層2：本発明のAl<sub>0.05</sub>Ga<sub>0.95</sub>N）

次に、同様の温度で、原料ガスにTMA、TMG及びアンモニアガスをを用い、

不純物ガスにシランガス ( $\text{SiH}_4$ ) を用い、 $\text{Si}$  を  $3 \times 10^{18} / \text{cm}^3$  ドープした  $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$  よりなる  $n$  型コンタクト層 2 を  $3 \mu\text{m}$  の膜厚で成長させた。

ここで、上記の成長された  $n$  型コンタクト層 2 ( $n$  型コンタクト層 1 を含む) には、微細なクラックが発生しておらず、微細なクラックの発生が良好に防止されていた。また、 $\text{GaN}$  基板 30 に微細なクラックが生じていても、 $n$  型コンタクト層 2 を成長させることで微細なクラックの伝播を防止でき結晶性の良好な素子構造を成長させることができる。結晶性の改善は、 $n$  型コンタクト層 2 のみの場合より、上記のようにアンドープ  $n$  型コンタクト層 1 を成長させることにより、より良好となる。

#### 10 (クラック防止層 3)

次に、温度を  $800^\circ\text{C}$  にして、原料ガスに TMG、TMI (トリメチルインジウム) 及びアンモニアを用い、不純物ガスにシランガスを用い、 $\text{Si}$  を  $5 \times 10^{18} / \text{cm}^3$  ドープした  $\text{In}_{0.08}\text{Ga}_{0.92}\text{N}$  よりなるクラック防止層 3 を  $0.15 \mu\text{m}$  の膜厚で成長させた。

#### 15 (n 型クラッド層 4)

次に、温度を  $1050^\circ\text{C}$  にして、原料ガスに TMA、TMG 及びアンモニアを用い、アンドープの  $\text{Al}_{0.14}\text{Ga}_{0.86}\text{N}$  よりなる A 層を 25 オングストロームの膜厚で成長させ、続いて、TMA を止め、不純物ガスとしてシランガスを用い、 $\text{Si}$  を  $5 \times 10^{18} / \text{cm}^3$  ドープした  $\text{GaN}$  よりなる B 層を 25 オングストロームの膜厚で成長させた。そして、この操作をそれぞれ 160 回繰り返して A 層と B 層とを積層し、総膜厚 8000 オングストロームの多層膜 (超格子構造) よりなる  $n$  型クラッド層 4 を成長させた。

#### 20 (n 型ガイド層 5)

次に、同様の温度で、原料ガスに TMG 及びアンモニアを用い、アンドープの  $\text{GaN}$  よりなる  $n$  型ガイド層を  $0.075 \mu\text{m}$  の膜厚で成長させた。

#### 25 (活性層 6)

次に、温度を  $800^\circ\text{C}$  にして、原料ガスに TMI、TMG 及びアンモニアを用い、不純物ガスとしてシランガスを用い、 $\text{Si}$  を  $5 \times 10^{18} / \text{cm}^3$  ドープした  $\text{In}_{0.01}\text{Ga}_{0.99}\text{N}$  よりなる障壁層を 100 オングストロームの膜厚で成長させた。



の表面に $\text{SiO}_2$ よりなる保護膜を形成して、RIE（反応性イオンエッチング）を用い $\text{SiCl}_4$ ガスによりエッチングし、Fig. 5に示すように、n電極を形成すべきn側コンタクト層2の表面を露出させた。

次にFig. 6Aに示すように、最上層のp側コンタクト層10のほぼ全面に、PVD装置により、Si酸化物（主として、 $\text{SiO}_2$ ）よりなる第1の保護膜61を $0.5\mu\text{m}$ の膜厚で形成した後、第1の保護膜61の上に所定の形状のマスクをかけ、フォトレジストよりなる第3の保護膜63を、ストライプ幅 $1.8\mu\text{m}$ 、厚さ $1\mu\text{m}$ で形成した。

次に、Fig. 6Bに示すように第3の保護膜63形成後、RIE（反応性イオンエッチング）装置により、 $\text{CF}_4$ ガスを用い、第3の保護膜63をマスクとして、前記第1の保護膜をエッチングして、ストライプ状とした。その後エッチング液で処理してフォトレジストのみを除去することにより、Fig. 6Cに示すようにp側コンタクト層10の上にストライプ幅 $1.8\mu\text{m}$ の第1の保護膜61が形成できる。

さらに、Fig. 6Dに示すように、ストライプ状の第1の保護膜61形成後、再度RIEにより $\text{SiCl}_4$ ガスを用いて、p側コンタクト層10、およびp側クラッド層9をエッチングして、ストライプ幅 $1.8\mu\text{m}$ のリッジ形状のストライプを形成した。

リッジストライプ形成後、ウェーハをPVD装置に移送し、Fig. 6Eに示すように、Zr酸化物（主として $\text{ZrO}_2$ ）よりなる第2の保護膜62を、第1の保護膜61の上と、エッチングにより露出されたp側クラッド層9の上に $0.5\mu\text{m}$ の膜厚で連続して形成した。このようにZr酸化物を形成すると、p-n面の絶縁をとるためと、横モードの安定を図ることができ好ましい。

次に、ウェーハをフッ酸に浸漬し、Fig. 6Fに示すように、第1の保護膜61をリフトオフ法により除去した。

次に、Fig. 5に示すようにp側コンタクト層10の上の第1の保護膜61が除去されて露出したそのp側コンタクト層の表面にNi/Auよりなるp電極20を形成した。但しp電極20は $100\mu\text{m}$ のストライプ幅として、この図に示すように、第2の保護膜62の上に渡って形成した。

以上のようにして、n電極とp電極とを形成したウエハのGa<sub>0.5</sub>N基板を研磨してほぼ100μmとした後、ストライプ状の電極に垂直な方向で、基板側からバー状に劈開し、劈開面(11-00面、六角柱状の結晶の側面に相当する面=M面)に共振器を作製した。共振器面にSiO<sub>2</sub>とTiO<sub>2</sub>よりなる誘電体多層膜を形成し、最後にp電極に平行な方向で、バーを切断してFig. 5に示すようなレーザ素子とした。なお共振器長は300~500μmとすることが望ましい。

その結果、室温においてしきい値  $2.5 \text{ kA/cm}^2$ 、しきい値電圧  $5 \text{ V}$  で、  
発振波長  $400 \text{ nm}$  の連続発振が確認され、室温で  $1$  万時間以上の寿命を示した。

実施例1において、アンドープn型コンタクト層1を成長させずにn型コンタクト層2を成長させた他は同様にしてレーザ素子を製造した。

### [实施例 3]

得られた素子は、実施例 1 とほぼ同様に良好な結果が得られた。

実施例 1 において、アンドープ n 型コンタクト層 1 及び Si ドープの n 型コンタクト層 2 の Al 組成の比を 0.05 から 0.5 に変更する他は同様にしてレーザ素子を成長させた。

得られた素子は、実施例１に比べＡ１組成の比が大きくなったため結晶性がやや劣る傾向が見られるものの、実施例１と同様に微細なクラックを防止でき、素



5

## 10

得られたレーザ素子は、実施例1よりn型コンタクト層1及びn型コンタクト層2のA1組成比が大きいのでやや結晶性が劣るが、実施例1と同等に微細なクラックを防止でき、実施例1とほぼ同等に良好な寿命特性を得ることができた。

## 10

得られたレーザ素子は、実施例１に比べて反りがやや大きい傾向が見られるが、微細なクラックは実施例１と同等に防止されていた。また、実施例６のレーザ素子は、絶縁性のサファイア基板を有しているので、実施例１に比べるとやや放熱性の点で劣るものの、実施例１とほぼ同等の寿命特性を有していた。

本発明は、添付図面を参照しながら好ましい実施形態に関連して十分に記載されているが、この技術の熟練した人々にとっては種々の変形や修正は明白である。そのような変形や修正は、添付した請求の範囲による本発明の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。

## 請求の範囲

1. 単結晶GaN層を少なくとも表面に有するGaN基板の上に、窒化物半導体から成る複数の素子形成層を積層した窒化物半導体素子において、

5 前記GaN基板に接する素子形成層に圧縮歪みがかかっていることを特徴とする特徴とする窒化物半導体素子。

2. 前記GaN基板に接する素子形成層の熱膨張係数が、GaNよりも小さなことと特徴とする請求項1記載の窒化物半導体素子。

3. 前記GaN基板に接する素子形成層が、 $Al_aGa_{1-a}N$  ( $0 < a \leq 1$ ) から成ることを特徴とする請求項1に記載の窒化物半導体素子。

10 4. 前記素子形成層が、Alを含有するn型クラッド層、InGaNを含む活性層、及びAlを含有するp型クラッド層を含むことを特徴とする請求項3記載の窒化物半導体素子。

5. 前記 $Al_aGa_{1-a}N$  ( $0 < a \leq 1$ ) 層が、n型コンタクト層であることを特徴とする請求項4記載の窒化物半導体素子。

15 6. 前記GaN基板の単結晶GaN層が、横方向成長法によって成長した単結晶層であることを特徴とする請求項1記載の窒化物半導体素子。

7. 単結晶GaN層を少なくとも表面に有するGaN基板と、前記GaN基板の上に積層した複数の窒化物半導体層から成る素子形成層とを備えた窒化物半導体素子の製造方法であって、

20 窒化物半導体と異なる補助基板の上に第1の窒化物半導体層を成長する工程と、前記第1の窒化物半導体層にストライプ状又は島状の周期的凹凸を形成する工程と、

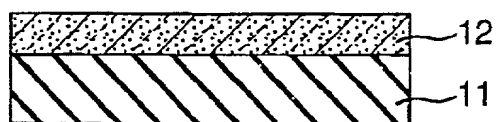
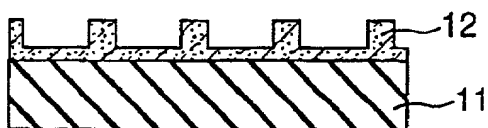
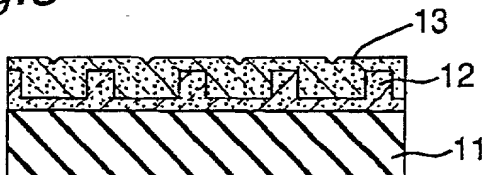
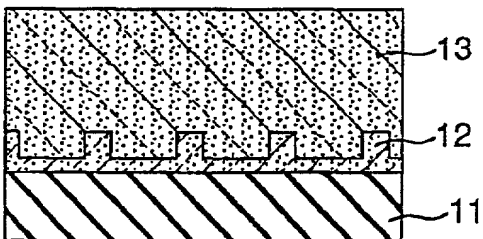
前記第1の窒化物半導体層の上に単結晶GaN層を成長してGaN基板を形成する工程と、

25 前記GaN基板の上にGaNよりも熱膨張係数の小さな第2の窒化物半導体層を成長する工程を備えた窒化物半導体素子の製造方法。

8. 前記単結晶GaN層の成長後、さらに前記補助基板を除去してGaN基板を形成することを特徴とする請求項7記載の窒化物半導体素子の製造方法。

## 要約書

5

*Fig.1**Fig.2**Fig.3**Fig.4*

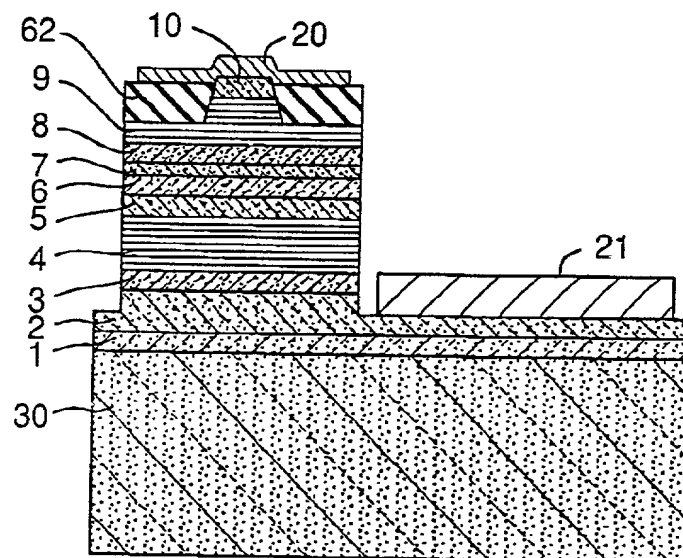
*Fig.5*

Fig.6A

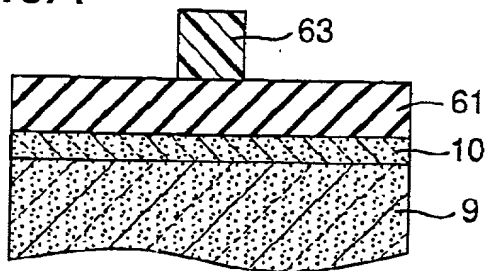


Fig.6B

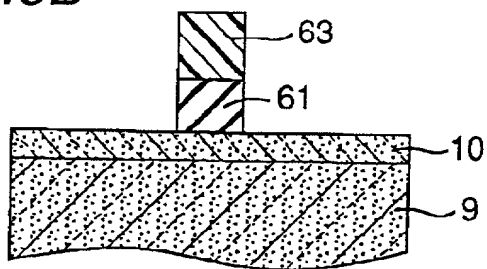
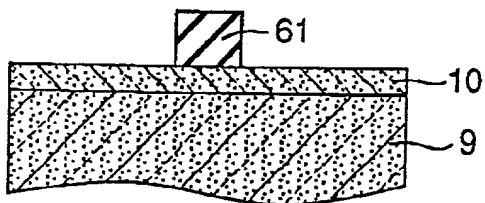
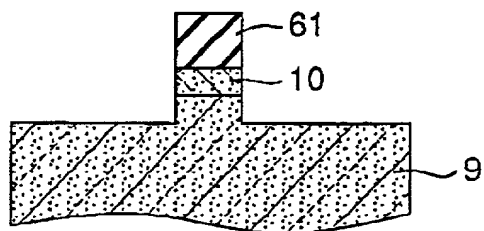
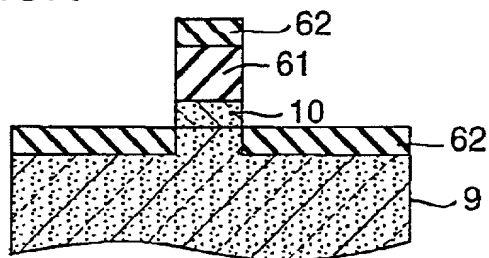
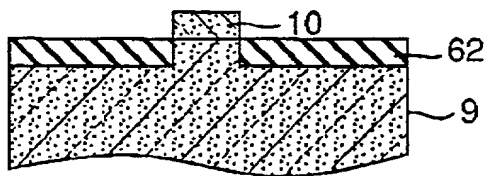


Fig.6C



*Fig.6D**Fig.6E**Fig.6F*

## DECLARATION FOR PATENT APPLICATION

As a below-named inventor, I hereby declare that this declaration is for the national phase of the PCT.

My residence, post office address and citizenship are as stated below, next to my name. I believe I am an original, first and joint inventor of the subject matter which is claimed and for which a patent is sought on the invention entitled: NITRIDE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF. The specification of which was described and claimed in PCT International Application No. \_\_\_\_\_ filed on \_\_\_\_\_. I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above. I acknowledge the duty to disclose information which is material to the examination of this application in accordance with Title 37, Code of Federal Regulations, Section 1.56(a).

I hereby claim foreign priority benefits under Title 35, United States Code, § 119 of any foreign application(s) for patent or inventor's certificate or any PCT International application(s) designating at least one country other than the United States listed below and have also identified below any foreign application for patent or inventor's certificate or any PCT International application(s) designating at least one country other than the United States filed by me on the same subject matter having a filing date before that of the application on which priority is claimed:

Prior Foreign Application(s)			Priority Claim	
			Yes	No
P 11-030990	Japan	09/02/1999	X	
Number	Country	Day/Month/Year Filed		
P 11-331797	Japan	22/11/1999	X	
Number	Country	Day/Month/Year Filed		

I hereby claim the benefit under Title 35, United States Code, § 120 of any United States application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States application in the manner provided by the first paragraph of Title 35, United States Code, § 112, I acknowledge the duty to disclose material information as defined in Title 37, Code of Federal Regulations, § 1.56(a) which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

Application Serial No	Filing Date	Status: Patented, Pending, Abandoned
-----------------------	-------------	--------------------------------------

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Full Name of First Joint Inventor: Shinichi NAGAHAMA

Inventor's Signature: Shinichi Nagahama December 24, 1999

Residence: Anan-shi, Tokushima, Japan

Citizenship: Japan

Post Office Address: c/o Nichia Corporation, 491-100, Oka, Kaminakacho, Anan-shi, TOKUSHIMA 774-8601 JAPAN

Full Name of Second Joint Inventor: Shuji NAKAMURA

Inventor's Signature: Shuji Nakamura December 24, 1999

Residence: Anan-shi, Tokushima, Japan

Citizenship: Japan

Post Office Address: c/o Nichia Corporation, 491-100, Oka, Kaminakacho, Anan-shi, TOKUSHIMA 774-8601 JAPAN



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: ) Group:  
Shinichi NAGAHAMA et al. ) Art Unit:  
 ) Examiner:  
 )  
Serial No.: )  
 )  
Filed: ) POWER OF ATTORNEY BY ASSIGNEE  
 )  
For: NITRIDE SEMICONDUCTOR DEVICE AND )  
MANUFACTURING METHOD THEREOF )

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Nichia Corporation, Assignee of the above-identified  
application by Assignment dated 24/12/1999 hereby appoints the members of the firm of  
HAVERSTOCK & OWENS LLP, a firm including Thomas B. Haverstock (Reg. No. 32,571) and Jonathan O.  
Owens (Reg. No. 37,902) 260 Sheridan Avenue, Suite 420, Palo Alto, California 94306, telephone: (650) 833-  
0160, facsimile: (650) 833-0170, as its attorneys with full power of substitution to prosecute this application and  
to transact all business in the Patent and Trademark Office in connection therewith.

Please direct all correspondence regarding this application to the following:

Thomas B. Haverstock  
HAVERSTOCK & OWENS LLP  
260 Sheridan Avenue, Suite 420  
Palo Alto, California 94306  
Telephone: (650) 833-0160  
Facsimile: (650) 833-0170

I hereby certify that the Assignment document filed with the application or filed subsequent to the filing  
date of the application, has been reviewed and I hereby certify that, to the best of my knowledge and belief, title  
is with \_\_\_\_\_.

Dated: February 3, 2000

By: Eiji Ogawa  
Name: Eiji OGAWA  
Title: President